

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-218037
 (43)Date of publication of application : 31.07.2003

(51)Int.CI.

 H01L 21/205
 C23C 16/30
 H01L 21/306

(21)Application number : 2002-012172

(71)Applicant : DENSO CORP

(22)Date of filing : 21.01.2002

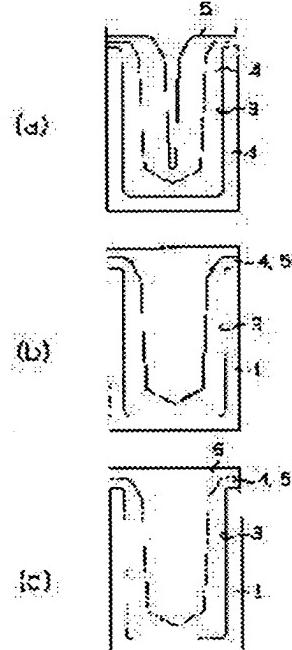
 (72)Inventor : TSUJI NOBUHIRO
 OZAWA MOTOI
 TANAHASHI KIYOTAKA
 YAMAUCHI SHOICHI

(54) METHOD OF MANUFACTURING SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of manufacturing semiconductor substrate, by which the embeddability of an embedded epitaxial film can be improved further in a film forming step of embedded epitaxial.

SOLUTION: A trench 3 is formed in a silicon substrate 1, and an epitaxial film 4 is formed on the substrate 1 including the inside of the trench 3. Then the inside of the trench 3 is filled with overlapped epitaxial films (4, 5, and 6), by performing the partial etching of the epitaxial film 4 using the vapor- phase etching action of hydrogen chloride and the formation of the epitaxial films (5 and 6) a plurality of times, in an atmosphere maintained at a pressure which is higher than that set at formation the film 4, in an atmosphere containing hydrogen chloride.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-218037

(P2003-218037A)

(43)公開日 平成15年7月31日 (2003.7.31)

(51) Int.Cl.⁷
 H 01 L 21/205
 C 23 C 16/30
 H 01 L 21/306

識別記号

F I
 H 01 L 21/205
 C 23 C 16/30
 H 01 L 21/302

テマコト^{*}(参考)
 4 K 0 3 0
 5 F 0 0 4
 P 5 F 0 4 5

審査請求 未請求 請求項の数10 O.L. (全 9 頁)

(21)出願番号 特願2002-12172(P2002-12172)

(22)出願日 平成14年1月21日 (2002.1.21)

(71)出願人 000004260

株式会社デンソー
愛知県刈谷市昭和町1丁目1番地(72)発明者 辻 信博
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内(72)発明者 小澤 基
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内(74)代理人 100068755
弁理士 恩田 博宣 (外1名)

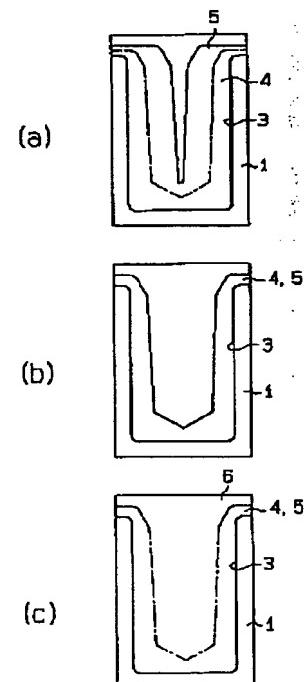
最終頁に続く

(54)【発明の名称】半導体基板の製造方法

(57)【要約】

【課題】埋込エピ成膜工程においてより埋込性を向上さ
せることが可能となる半導体基板の製造方法を提供す
る。

【解決手段】シリコン基板1にトレンチ3を形成し、エ
ピタキシャル成長法によりトレンチ3内を含めたシリコ
ン基板1上にエピタキシャル膜4を形成し、塩化水素を
含んだ雰囲気においてエピタキシャル膜4の形成の際の
処理圧力以上の雰囲気下にて塩化水素の気相エッティング
作用を用いたエピタキシャル膜4の一部のエッティング処
理と、エピタキシャル膜(5, 6)の成膜処理とを複数
回行ってトレンチ3内を重ねたエピタキシャル膜(4,
5, 6)にて埋め込む。



【特許請求の範囲】

【請求項1】 半導体基板(1)にトレンチ(3)を形成する工程と、エピタキシャル成長法により前記トレンチ(3)内を含めた半導体基板(1)上にエピタキシャル膜(4)を形成する工程と、ハロゲン化物を含んだ雰囲気において前記エピタキシャル膜(4)の形成の際の処理圧力以上の雰囲気下にてハロゲン化物による気相エッティング作用を用いて前記エピタキシャル膜(4)の一部をエッティングする工程と、再度、エピタキシャル成長法により前記トレンチ(3)内を含めた半導体基板(1)上にエピタキシャル膜(5)を形成して前記トレンチ(3)内を重ねたエピタキシャル膜(4, 5)にて埋め込む工程と、前記半導体基板(1)上のエピタキシャル膜(4, 5)の表面を平坦化する工程と、を備えたことを特徴とする半導体基板の製造方法。

【請求項2】 半導体基板(1)にトレンチ(3)を形成する工程と、エピタキシャル成長法により前記トレンチ(3)内を含めた半導体基板(1)上にエピタキシャル膜(4)を形成する工程と、ハロゲン化物を含んだ雰囲気において前記エピタキシャル膜(4)の形成の際の処理圧力以上の雰囲気下にてハロゲン化物による気相エッティング作用を用いたエピタキシャル膜の一部のエッティング処理と、エピタキシャル膜(5, 6)の成膜処理とを複数回行って前記トレンチ(3)内を重ねたエピタキシャル膜(4, 5, 6)にて埋め込む工程と、前記半導体基板(1)上のエピタキシャル膜(4, 5, 6)の表面を平坦化する工程と、を備えたことを特徴とする半導体基板の製造方法。

【請求項3】 前記エピタキシャル膜の一部のエッティング工程の後に、熱処理にてトレンチ(3)内のエピタキシャル膜での角部の丸め加工を行う工程を追加したことを特徴とする請求項1または2に記載の半導体基板の製造方法。

【請求項4】 前記エピタキシャル膜の一部のエッティング工程でのエピタキシャル膜の形成の際の処理圧力以上の雰囲気下とは、常圧以下であることを特徴とする請求項1～3のいずれか1項に記載の半導体基板の製造方法。

【請求項5】 前記エピタキシャル膜の一部のエッティング工程でのエピタキシャル膜の形成の際の処理圧力以上の雰囲気下とは、80～600torrの範囲であることを特徴とする請求項1～3のいずれか1項に記載の半導体基板の製造方法。

【請求項6】 最初のエピタキシャル膜(4)の形成温度に対しその後に成膜されるエピタキシャル膜(5, 6)の形成温度が同等またはそれ以下であることを特徴

とする請求項1～5のいずれか1項に記載の半導体基板の製造方法。

【請求項7】 最後のエピタキシャル膜(6)の形成温度を800℃以上としたことを特徴とする請求項1～6のいずれか1項に記載の半導体基板の製造方法。

【請求項8】 最後のエピタキシャル膜(6)の形成温度を830～850℃の範囲としたことを特徴とする請求項1～6のいずれか1項に記載の半導体基板の製造方法。

【請求項9】 半導体基板(10)にトレンチ(11)を形成した後のエピタキシャル膜(13)を形成する前において、半導体基板(10)でのトレンチ(11)を形成した面とは反対の面に基板(10)に対し引っ張り応力を有する膜(12)を形成するようにしたことを特徴とする請求項1～3のいずれか1項に記載の半導体基板の製造方法。

【請求項10】 半導体基板としてシリコン基板(10)を用い、基板(10)に対し引っ張り応力を有する膜としてシリコン窒化膜(12)を用いたことを特徴とする請求項9に記載の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子形成用の基板加工技術に関するものである。

【0002】

【従来の技術】トレンチ埋込エビ成長を行う上では、トレンチ深さによって側面での成長レートが異なる。具体的には、トレンチ開口部に近いほど成長レートが大きいため、結果としてトレンチ底部が埋まる前に開口部がふさがりトレンチ内部に埋込不良が発生する。このような埋込不良の発生を抑制する手段として、特開2001-196573号公報においてはHClエッティングによる開口部の除去処理を行う埋込エピタキシャル成長工程が提案されている。

【0003】この技術を説明する。図10(a)に示すように、半導体基板100にトレンチ101を形成し、図10(b)に示すように、エピタキシャル成長法によりトレンチ101内を含めた半導体基板100上にエピタキシャル膜102を形成し、さらに、図10(c)に示すように、塩化水素等のハロゲン化物を含んだ雰囲気においてエピタキシャル膜102に対し塩化水素等のハロゲン化物の気相エッティング作用を用いてエピタキシャル膜102の一部をエッティングする。特に、減圧下でのHClエッティング処理では、より高温の供給律速条件においてエッティングすることによりトレンチ101の開口部の選択的エッティングが可能となる特徴を用いて開口部の除去処理を行う。これにより、トレンチ底面と側面とでなす角度(テーパ角)θをより小さくすることができる。そして、図11(a)に示すように、再度、エピタキシャル成長法によりトレンチ101内を含めた半導体

基板100上にエピタキシャル膜103を形成してトレンチ101内を、重ねたエピタキシャル膜102、103にて埋め込む。さらに、スリット状の埋込不良を無くすべく水素雰囲気下でのアニールを行うことにより、図11(b)のようにすることができる。

【0004】しかしながら、埋込トレンチが高アスペクトになるほどエッチング温度や時間のみの制御で得られるテーパ角θには限界があり、結果として埋込不良がトレンチ内に残存することがある。

【0005】従って、従来のHClエッティング処理を付加した埋込エビ成膜工程において、より埋込性向上が可能となるHClエッティング技術が望まれている。

【0006】

【発明が解決しようとする課題】本発明はこのような背景の下になされたものであり、その目的は、埋込エビ成膜工程においてより埋込性を向上させることができるとなる半導体基板の製造方法を提供することにある。

【0007】

【課題を解決するための手段】請求項1に記載の発明によれば、半導体基板にトレンチを形成し、エピタキシャル成長法によりトレンチ内を含めた半導体基板上にエピタキシャル膜を形成した後、ハロゲン化物を含んだ雰囲気においてエピタキシャル膜の形成の際の処理圧力以上の雰囲気下にてハロゲン化物による気相エッティング作用を用いてエピタキシャル膜の一部をエッティングし、その後において、再度、エピタキシャル成長法によりトレンチ内を含めた半導体基板上にエピタキシャル膜を形成してトレンチ内を重ねたエピタキシャル膜にて埋め込むことにより、埋込エビ成膜工程においてより埋込性が向上する。

【0008】請求項2に記載の発明によれば、半導体基板にトレンチを形成し、エピタキシャル成長法によりトレンチ内を含めた半導体基板上にエピタキシャル膜を形成した後、ハロゲン化物を含んだ雰囲気においてエピタキシャル膜の形成の際の処理圧力以上の雰囲気下にてハロゲン化物による気相エッティング作用を用いたエピタキシャル膜の一部のエッティング処理と、エピタキシャル膜の成膜処理とを複数回行ってトレンチ内を重ねたエピタキシャル膜にて埋め込むことにより、埋込エビ成膜工程においてより埋込性が向上する。

【0009】ここで、請求項3に記載のように、エピタキシャル膜の一部のエッティング工程の後に、熱処理にてトレンチ内のエピタキシャル膜での角部の丸め加工を行う工程を追加するようにしてもよい。

【0010】また、請求項4に記載のように、エピタキシャル膜の一部のエッティング工程でのエピタキシャル膜の形成の際の処理圧力以上の雰囲気下とは、常圧以下であるとしたり、請求項5に記載のように、エピタキシャル膜の一部のエッティング工程でのエピタキシャル膜の形成の際の処理圧力以上の雰囲気下とは、80～600torrの範囲であるといい。

【0011】さらに、請求項6に記載のように、最初のエピタキシャル膜の形成温度に対しその後に成膜されるエピタキシャル膜の形成温度が同等またはそれ以下であると、実用上好ましいものとなる。

【0012】また、請求項7に記載のように、最後のエピタキシャル膜の形成温度を800℃以上、特に、請求項8に記載のように、最後のエピタキシャル膜の形成温度を830～850℃の範囲とすると、エビ膜の埋込性に優れたものとなる。

【0013】請求項9に記載のように、半導体基板にトレンチを形成した後のエピタキシャル膜を形成する前ににおいて、半導体基板でのトレンチを形成した面とは反対の面に基板に対し引っ張り応力を有する膜を形成すると、基板を反らせてトレンチ開口部を広げることができ、エビ膜の埋込性に優れたものとなる。

【0014】具体的には、請求項10に記載のように、半導体基板としてシリコン基板を用い、基板に対し引っ張り応力を有する膜としてシリコン窒化膜を用いるとよい。

【0015】

【発明の実施の形態】(第1の実施の形態)以下、この発明を具体化した実施の形態を図面に従って説明する。

【0016】本実施形態における製造方法を、図1、2、3を用いて説明する。図1、2は、各製造工程における断面SEM像をスケッチしたものである。図3は、エピタキシャル成長・気相エッティングの際の処理温度と処理圧力についてのプロファイルである。

【0017】まず、図1(a)に示すように、シリコン基板1を用意し、上面にシリコン酸化膜2を全面に形成し、トレンチ形成領域となる部位の当該酸化膜2を除去する。そして、この酸化膜2をマスクにしてシリコン基板1をエッティングしてトレンチ3を形成する。なお、マスクとして酸化膜2の代わりに、窒化膜あるいは酸化膜と窒化膜を積層したものを用いてもよい。また、トレンチエッティングはドライエッティングもしくは異方性のウェットエッティングを用いる。

【0018】その後に、反応生成物、およびマスクとして用いた酸化膜2の除去のための洗浄を行う。さらに、図1(b)に示すように、エピタキシャル成長法によりトレンチ3内を含めたシリコン基板1上にエピタキシャル膜4を形成する。より詳しくはLPCVD装置を用いたエピタキシャル成長を行う。また、図3のごとく(図中の埋込エビ成膜)、成長温度は860℃、成長圧力は80torrとしている。

【0019】なお、エビ膜成膜の前に、非酸化性・非窒化性ガスの減圧雰囲気において熱処理を行うことによりトレンチ内壁の平坦化処理を行うようにもよい。引き続き、図1(c)に示すように、塩化水素(HCl)を含んだ雰囲気において塩化水素の気相エッティング作用

を用いたエピタキシャル膜4の一部のエッティング処理を行う。このとき、エピタキシャル膜4の形成の際の処理圧力以上の雰囲気下とし、この条件下にて塩化水素の気相エッティング作用を用いたエピタキシャル膜4の一部のエッティング処理を行う。また、エッティング処理は非酸化性・非窒化性ガスの減圧雰囲気（具体的には水素雰囲気）にエッティングガスを導入することで行われる。

【0020】この工程をより詳しく説明する。装置はL-P-CVD装置を用い、エピ成膜処理と連続処理とする（同一の真空装置内で連続して処理する）。図3のごとく（図中のHClエッティング）、温度は、1150°Cである。また、圧力は図3のごとく600torrであり、エピ成膜圧力の80torr以上とする。

【0021】このようにしてエッティングを行うことによりトレンチ3内での加工形状として、HClエッティング後の加工エピ膜厚について、処理圧力の上昇（高水素分圧化）により開口部と底部の差が増加する。また、トレンチ3の開口部、中央部とともに処理圧力の上昇（高水素分圧化）により順テープ化が顕著になる。

【0022】引き続き、図2(a)に示すように、同一の真空装置内で連続して、再度、エピタキシャル成長法によりトレンチ3内を含めたシリコン基板1上にエピタキシャル膜5を形成する。このとき、図3のごとく（図中の再埋込エピ成膜）、成膜温度は860°C、成膜圧力は80torrとしている。

【0023】そして、図2(b)に示すように、同一の真空装置内で連続して、塩化水素を含んだ雰囲気において塩化水素の気相エッティング作用を用いたエピタキシャル膜4、5の一部のエッティング処理を行う。このときも、前回と同様に、エピタキシャル膜4、5の形成の際の処理圧力以上の雰囲気下とし、この条件下にて塩化水素の気相エッティング作用を用いたエピタキシャル膜4、5の一部のエッティング処理を行う。

【0024】このとき、一回目の、塩化水素ガスによるエピタキシャル膜の一部のエッティング処理のときの圧力(600torr)に比べ、今回の塩化水素ガスによるエピタキシャル膜の一部のエッティング処理のときの圧力を小さくする。つまり、図3のごとく、一回目のエッティング（図中のHClエッティング）を600torrで行い、二回目のエッティング（図中の再HClエッティング）を80torrで行う。また、処理温度（再HClエッティング）は前回と同様、1150°Cとする。

【0025】その後、図2(c)に示すように、同一の真空装置内で連続して、再度、エピタキシャル成長法によりトレンチ3内を含めたシリコン基板1上にエピタキシャル膜6を形成する。このとき、図3のごとく（図中の再々埋込エピ成膜）、成膜温度は840°C、圧力は80torrとしている。この一連のエピタキシャル膜の成膜により、トレンチ3内が、重ねたエピタキシャル膜4、5、6にて埋め込まれる。なお、各エピタキシャル

膜4、5、6は目的の導電型とすべく成膜時に必要なドーパントガスを導入する。

【0026】このように、トレンチ3内の加工形状として、エピ成膜とHClエッティングを繰り返すことにより、順テープ化が顕著になる。その後、シリコン基板1上のエピタキシャル膜4、5、6の表面を平坦化する。これには、研磨処理、またはエッチバック、異方性ウェットエッティングのいずれか、または、複数組み合わせて行う。

【0027】そのようにして形成された半導体基板において、つまり、埋込後に行う平坦化研磨後において、トレンチ内に「す」等の埋込不良が減少していることを確認している。

【0028】以下、各種の実験を行ったので、それを説明する。本発明者らは図10、11を用いて説明した技術におけるHClエッティング処理について各種の実験を行い次のような結果を得た。図4は、エッティング時間と埋込不良の発生状態を測定した結果を示し、横軸にはテーパ角θおよびエッティング時間をとり、縦軸にはスリット状埋込不良の長さL（図11(a)参照）をとっている。この図4から、エッティング時間が長いほどトレンチ内に形成される埋込不良の大きさLは縮小することから、テーパ角θを小さくすること（順テープ化すること）が埋込不良の低減に有効であることが分かる。

【0029】図5(a)は80torrでHClエッティングを行った後の断面SEM像であり、図5(b)はその後に再エピ成膜にてトレンチ内を埋め込んだ後の断面SCM像である。また、図6(a)は600torrでHClエッティングを行った後の断面SEM像であり、図6(b)はその後に再エピ成膜にてトレンチ内を埋め込んだ後の断面SEM像である。この図5、6から、80torrでHClエッティングを行う場合に比べ600torrでHClエッティングを行う方がトレンチ側面のテーパ角θが小さくなるとともに、スリット状埋込不良箇所の長さLが短くなることが分かった。即ち、HClエッティング処理におけるテーパ加工法として、処理圧力を上昇させて（高水素分圧にて）HClエッティングを行うことが有効である。

【0030】これは、処理圧力の上昇（高水素分圧）によりHClガスの平均自由行程が減少し、トレンチの深い部分でのエッティング量が減少し、一方、トレンチ開口部でのエッティング量はほぼ同等であり、そのため、結果として順テープ化が進むためであると推定される。

【0031】よって、本実施の形態のようにHClエッティングを600torrで行うことは、図10、11を用いて説明した工程に比べ処理条件変更のみで対応できるため、追加処理や追加装置が不要である。また、処理圧力を上昇させての処理（高水素分圧での処理）のために、トレンチ内のコーナ部（角部）でのシリコン原子の移動が大きく、角部の丸め加工が進む。その結果、結晶

欠陥の抑制や応力集中の緩和が可能となる。

【0032】さらに、本実施形態では、HClエッティング処理におけるテーパ加工法として、処理圧力の上昇（高水素分圧）に加えて、複数回のHClエッティングを行うようにしている。詳しくは、HClエッティングとエビ成膜を複数回繰り返すことにより、トレンチ内の側面について順テーパ化が進み、結果的に埋込不良が低減される（順テーパ化の効果が大きくなり、埋込性が向上する）。またこの場合も、図10、11を用いて説明した工程に比べ処理条件変更のみであるため、追加装置が不要である。

【0033】このとき、図3のごとく、一回目の、塩化水素ガスによるエピタキシャル膜の一部のエッティング処理のときの圧力（600 torr）に比べ、それ以降における塩化水素ガスによるエピタキシャル膜の一部のエッティング処理のときの圧力を小さく（80 torr）しておき、この効果を、図7を用いて説明する。

【0034】図7(a)が一回目のエッティングを600 torrで行い、二回目のエッティングも600 torrで行った場合であり、図7(b)が一回目のエッティングを600 torrで行い、二回目のエッティングは80 torrで行った場合である。図7(a)においてはトレンチ開口部でのエビ膜のみがエッティングされトレンチの中間の高さ部分のエビ膜はエッティングされず、トレンチ内の全体において順テーパ化されにくい。これに対し、図7(b)では、トレンチの開口部、中間の高さ部分とともにエビ膜がエッティングされ、トレンチ内の全体が順テーパ形状になる。

【0035】また、トレンチ埋め込みのための2回目のエビ成長（図3の再埋込エビ成膜）は860°Cで行うこととし、3回目のエビ成長（図3の再々埋込エビ成膜）は840°Cで行うこととした。これは、以下の実験結果によるものである。図8には、エピタキシャル成長温度とスリット状埋込不良箇所の長さL（図11(a)参照）との関係を示す。つまり、横軸にエピタキシャル成長温度をとり、縦軸にスリット状埋込不良箇所の長さLをとっている。この図から、エピタキシャル成長温度を840°C（低温）にすることで、埋め込み性が向上することが分かる。840°C以下では結晶性が悪くなり、トレンチ側壁からの成長の接合部で埋め込み不良が発生しやすい。また、図3のごとく、1回目の埋込エビ成膜は860°Cとし、結晶性を重視している。

【0036】以上のごとく本実施形態は下記の特徴を有する。

(イ) 図1(a)に示すように、シリコン基板1にトレンチ3を形成する工程と、図1(b)に示すように、エピタキシャル成長法によりトレンチ3内を含めたシリコン基板1上にエピタキシャル膜4を形成する工程と、図1(c)、図2(a)、(b)、(c)に示すように、塩化水素を含んだ雰囲気においてエピタキシャル膜4の

形成の際の処理圧力以上の雰囲気下にて塩化水素の気相エッティング作用を用いたエピタキシャル膜の一部のエッティング処理と、エピタキシャル膜(5, 6)の成膜処理とを複数回行ってトレンチ3内を、重ねたエピタキシャル膜4, 5, 6にて埋め込む工程と、シリコン基板1上のエピタキシャル膜4, 5, 6の表面を平坦化する工程と、を備えている。よって、埋込エビ成膜工程においてより埋込性が向上する。

(ロ) エピタキシャル膜の一部のエッティング工程でのエピタキシャル膜の形成の際の処理圧力以上の雰囲気下を、常圧以下とし、特に80～600 torrの範囲とするとよく、本実施形態では1回目のエッティングを600 torr、2回目のエッティングを80 torrとした。

(ホ) 最初のエピタキシャル膜4の形成温度に対しその後に成膜されるエピタキシャル膜5, 6の形成温度が同等またはそれ以下とするとよく、本実施形態では1回目のエビ膜4では860°C、2回目のエビ膜5では860°C、3回目のエビ膜6では840°Cとしている。また、最後のエピタキシャル膜6の形成温度を800°C以上とし、特に、830～850°Cの範囲とするとよく、本実施形態では840°Cとしており、このようにすると、エビ膜の埋込性に優れたものとなる。

【0037】以下、これまで説明してきた実施形態に対する別例を説明する。塩化水素ガスによるエビ膜のエッティングを行った後において、水素雰囲気下での熟処理工程を追加し、トレンチ3内のエビ膜の角部を丸め加工してトレンチ開口部での開口面積を大きくするようにしてもよい。より具体的には、例えば、装置はLPCVD装置を用い、エビ成膜処理と連続処理とし、温度は、1150°Cであり、圧力は80～600 torrである（エビ成膜圧力の80 torr以上とする）。このようにして、塩化水素ガスによるエッティングと、水素アーチルなどを繰り返すことにより、トレンチ開口部と底部の丸め加工を行い、トレンチ内をより順テーパ化するようにしてもよい。

【0038】この処理を追加して行う場合において、エビ成膜工程と、エビ膜の一部エッティング工程と、トレンチ内エビ膜角部の丸め工程と、エビ膜再成膜工程とを同一の真空装置内で連続して処理すると、より好ましいものとなる。また、トレンチ3内でのエビ膜の角部を丸め加工する工程は、非酸化性・非窒化性の減圧雰囲気において熟処理を行うものとする。例えば、水素もしくは希ガスを用いる。また、温度についてはエビ成膜温度よりも高温とし、900°C以上、好ましくは1100°C以上とするとよい。真空度はエビ成膜時よりも大きく、好ましくは10 torr以上、より好ましくは300 torr以上とする。

【0039】また、前記(イ)では、図1(b)、(c)、図2(a)、(b)、(c)に示すように、塩

化水素を含んだ雰囲気においてエピタキシャル膜4の形成の際の処理圧力以上の雰囲気下にて塩化水素の気相エッチング作用を用いたエピタキシャル膜の一部のエッチング処理と、エピタキシャル膜(5, 6)の成膜処理とを複数回行ってトレンチ3内を重ねたエピタキシャル膜4, 5, 6にて埋め込む工程としたが、これに代わり、1回のエッチングと、その後の1回のエピ成長にてトレンチ内を埋め込んでもよい。つまり、塩化水素を含んだ雰囲気において、エピタキシャル膜4の形成の際の処理圧力以上の雰囲気下にて塩化水素の気相エッチング作用を用いてエピタキシャル膜4の一部をエッチングする工程と、再度、エピタキシャル成長法によりトレンチ3内を含めたシリコン基板1上にエピタキシャル膜5を形成してトレンチ3内を重ねたエピタキシャル膜4, 5にて埋め込む工程と、を備えたものとしてもよい。

【0040】他の手法として、図9に示すようにしてもよい。まず、図9(a)に示すように、ウェハ状のシリコン基板10を用意し、図9(b)に示すように、ウェハ状シリコン基板10の主表面(上面)にトレンチ11を形成する。そして、図9(c)に示すように、ウェハ状シリコン基板10の裏面(下面)に対しシリコン窒化膜12を全面に形成する。このシリコン窒化膜12はシリコン基板10に対し引っ張り応力を有し、これによりシリコン基板10はその中央部において上が凸となる状態で反る。その結果、トレンチ11の開口部が広がる。その後、図9(d)に示すように、ウェハ状シリコン基板10の主表面(上面)にエピ膜13を形成するが、そのときウェハ状基板10を反らすことによりトレンチ開口部が広がっているのでエピ膜の埋込性に優れており、「す」が形成されにくい。このようにしてトレンチ11内を含めた基板10上にエピ膜13を形成した後、前記実施形態で述べたように、エピ膜13の形成の際の処理圧力以上でHClエッチング作用を用いてエピ膜13の一部をエッチングし、さらに、再度、トレンチ11内を含めた基板10上にエピ膜を形成してトレンチ11内を重ねたエピ膜にて埋め込む。そして、図9(e)に示すように、ウェハ状基板10の裏面に形成し

たシリコン窒化膜12を、リン酸によるエッティングにて除去する。これにより反りが無くなる。次に、研磨等により基板10上のエピ膜の表面を平坦化する。

【0041】さらに他の手法として、エピ膜の再成膜の後に非酸化性・非窒化性の減圧雰囲気において(例えば水素雰囲気において)、熱処理を行うことにより埋込不良を改善する(無くす)ようにしてよい。この場合において、これらの処理を同一の真空装置内で連続して処理すると、より好ましいものとなる。

【0042】また、塩化水素以外のハロゲン化物を含んだ雰囲気においてエピタキシャル膜4の形成の際の処理圧力以上の雰囲気下にて塩化水素以外のハロゲン化物による気相エッチング作用を用いてエピタキシャル膜4の一部をエッチングするようにしてもよい。

【図面の簡単な説明】

【図1】実施の形態における断面SEM像(スケッチ図)。

【図2】実施の形態における断面SEM像(スケッチ図)。

【図3】実施の形態における温度・圧力のプロファイル。

【図4】埋込不良に関する実験結果を示す図。

【図5】実験の際の断面SEM像(スケッチ図)。

【図6】実験の際の断面SEM像(スケッチ図)。

【図7】エッチング工程を説明するための図。

【図8】埋込不良に関する実験結果を示す図。

【図9】別例の半導体基板の製造方法を説明するための図。

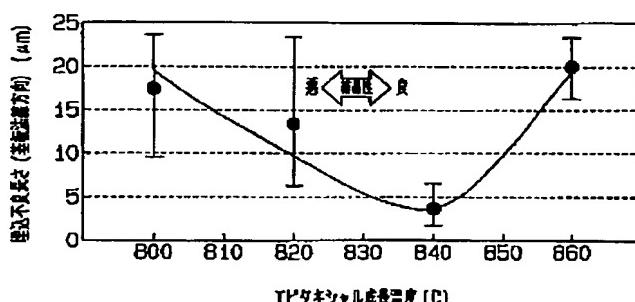
【図10】従来技術を説明するための断面SEM像(スケッチ図)。

【図11】従来技術を説明するための断面SEM像(スケッチ図)。

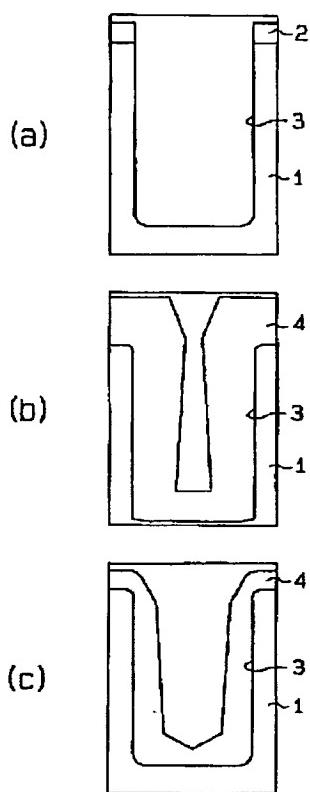
【符号の説明】

1…シリコン基板、3…トレンチ、4…エピタキシャル膜、5…エピタキシャル膜、6…エピタキシャル膜、10…シリコン基板、11…トレンチ、12…シリコン窒化膜、13…エピタキシャル膜。

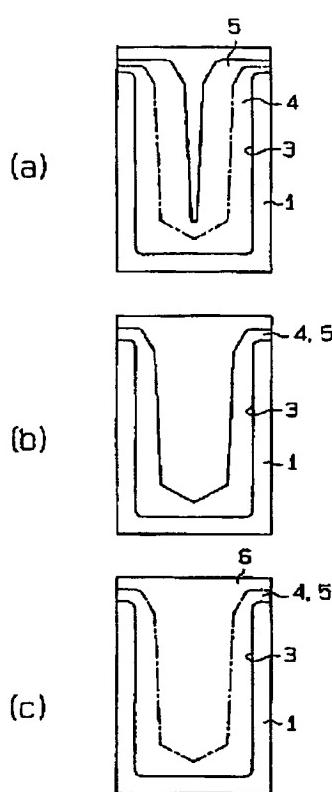
【図8】



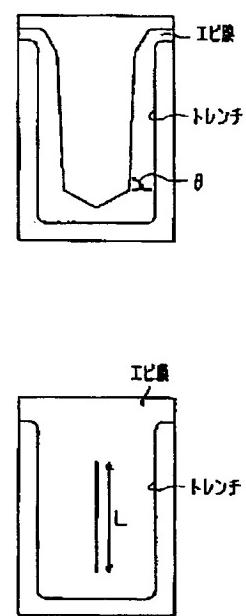
【図1】



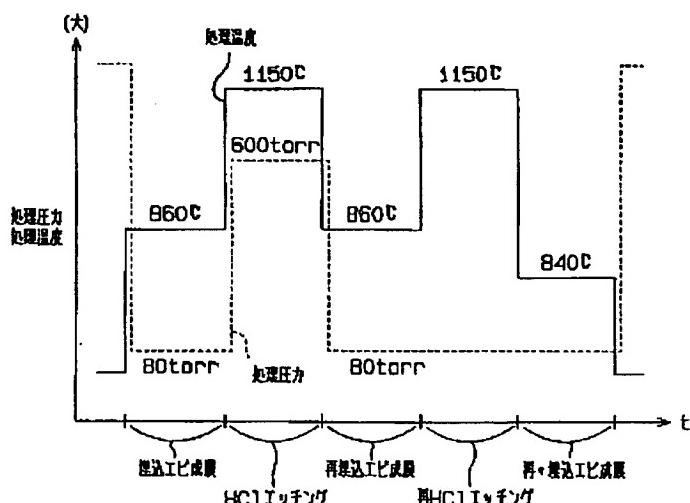
【図2】



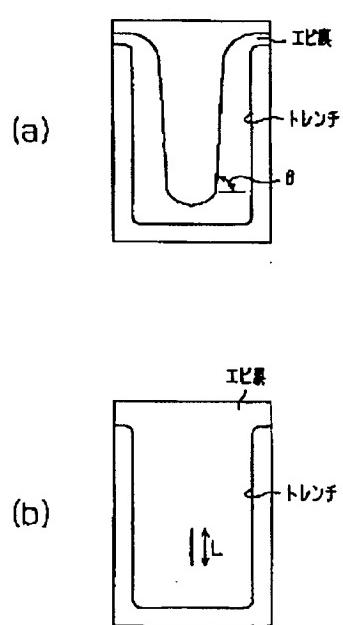
【図5】



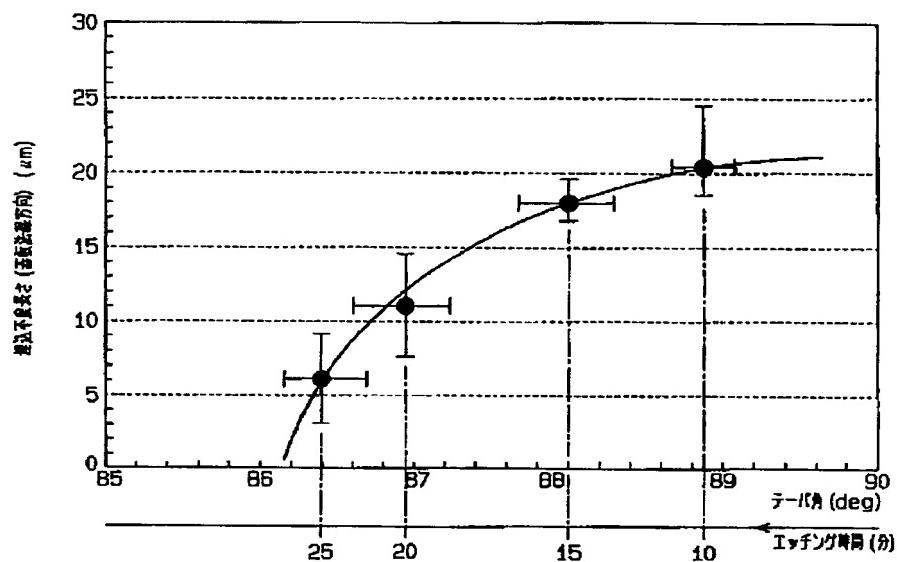
【図3】



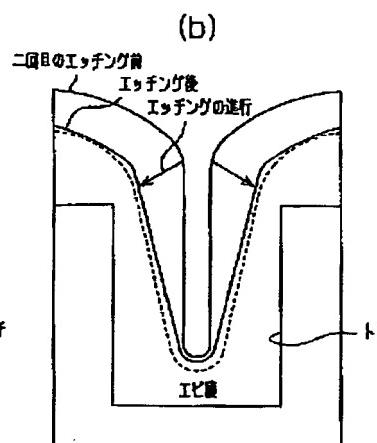
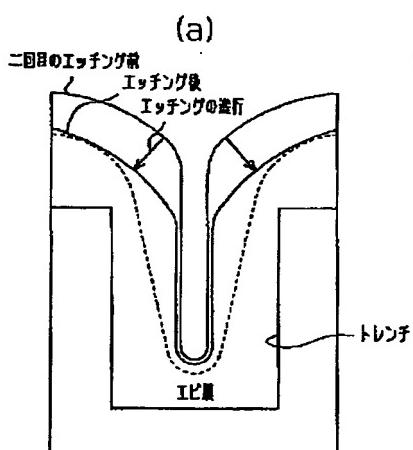
【図6】



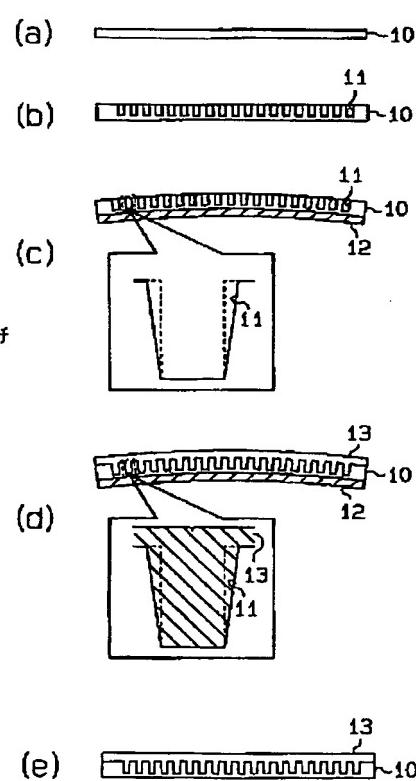
【図4】



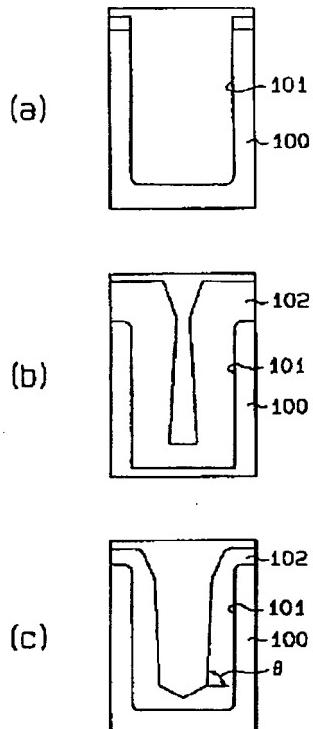
【図7】



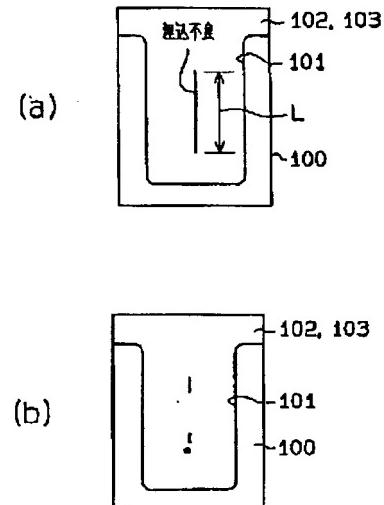
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 棚橋 清隆
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(72)発明者 山内 庄一
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

F ターム(参考) 4K030 BA40 BB12 CA04 CA12 DA09
JA09 JA10
5F004 AA16 BA19 DA29 DB01 EA27
EA34
5F045 AA06 AB02 AF03 BB12 HA13

THIS PAGE BLANK (USPTO)